

公開実用平成 2-29541

⑩日本国特許庁 (JP)

⑪実用新案出願公開

⑫公開実用新案公報 (U)

平2-29541

⑬Int.Cl.

H 01 L 27/04
21/60
25/04
25/18

H 05 K 1/18

識別記号

3 1 1 S

府内整理番号

7514-5F
6918-5F

⑭公開 平成2年(1990)2月26日

L 6736-5E

7638-5F H 01 L 25/04

審査請求 未請求 請求項の数 1 (全 頁) Z

⑮考案の名称 フリップチップ実装におけるICチップの構造

⑯実 願 昭63-107527

⑰出 願 昭63(1988)8月15日

⑱考 案 者 村 越 孝 一 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲考 案 者 武 井 利 泰 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑳出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

㉑代 理 人 弁理士 船橋 国則



明細書

1. 考案の名称

フリップチップ実装における

I Cチップの構造

2. 実用新案登録請求の範囲

集積回路を設けた I Cチップの回路形成面に設けた半田バンプをフェイスダウンしてフレキシブル基板のボンディングパッド上に搭載し、

前記半田バンプにより前記 I Cチップを前記フレキシブル基板に接続させるフリップチップ実装において、

前記 I Cチップは、少なくとも一個以上の半田バンプを設けた集積回路を複数個配置し、前記集積回路相互を電気的に独立させるとともに、前記集積回路を有する各チップブロックを破碎溝により区分したことを特徴とするフリップチップ実装における I Cチップの構造。

3. 考案の詳細な説明

〈産業上の利用分野〉

本考案は I Cチップ、特にフリップチップ実装

5

10

15

20

1

405

実開2- 29541



における I C チップの構造に関する。

〈従来の技術〉

フリップチップ実装は、I C チップのアクティブフェイス（回路形成面）を下にして、所謂フェイスダウンして配線基板上に直接接続するワイヤレスボンディング方法の1つである。第5図は、I C チップ101 をフレキシブル基板201 に実装した状態を示す側面図である。集積回路を有する I C チップ101 の回路形成面に設けた半田バンプ（金属突起）102 をフレキシブル基板201 上に設けたボンディングパッド202 上でフェイスダインして搭載する。そして該半田バンプ102 を溶融して集積回路とフレキシブル基板201 上の回路を接続させる。次いで上記 I C チップ101 とフレキシブル基板201 の間をシリコン系若しくはエポキシ系の絶縁樹脂301 で封着する。

このフリップチップ実装は、I C チップの回路形成面全域に亘って半田バンプを設けることが出来るので、チップの外径寸法を大きくすることなく端子数の増加が可能となる。しかも接続はフェ

イスダウンしたICチップの回路形成面にて行われる為、生産性向上と接続の高信頼性が確保され、更に高密度実装を促進させ得る。

〈考案が解決しようとする課題〉

しかしフリップチップ実装を行う際に、ICチップと基板との接続部分では、両部材の熱膨張係数の相違に起因するストレスが生じる。特に第6図で示す様に、ICチップが大型化したり、可撓性に富むフレキシブル基板201を用いた場合には、機械的、熱的外力PがICチップ101にも作用し、ICチップ101はその外力Pに追従できずクラック103,104を生ずる。これ等クラック103,104は、フェイスダウンしたICチップ101の集積回路を破断することになり、ICチップの電気的機能を喪失させる。

〈課題を解決するための手段〉

本考案は上記の課題に鑑み案出されたフリップリップ実装におけるICチップの構造であり、少なくとも一個以上の半田バンプを設けた集積回路を複数個配置した状態にICチップを形成し、こ



の集積回路相互を電気的に独立させるとともに、同集積回路を有する各チップブロックを破碎溝により区分したものである。

〈作用〉

当該 I C チップに外力が加えられても、その外力は各チップブロックを区分する破碎溝の部分で吸収、分散される。しかも各チップブロックの集積回路は、他のチップブロックの集積回路と電気的に独立であり、更にこれ等集積回路自体は、少なくとも一個の半田バンプを介してフレキシブル基板と電気的に接続されている為、破碎溝によって各チップブロック毎に破断されても各集積回路は独立した電気的機能を継続して作動させることが出来る。すなわち I C チップ全体としての電気的機能を損うことがない。

〈実施例〉

以下図面に基づき本考案のフリップチップ実装における I C チップの構造を詳細に説明する。

第 1 図は、回路形成面 11 を下に向けた、所謂フェイスダウンした状態の L S I , V L S I 等

ICチップ1を示す斜視図である。又第2図は同ICチップの集積回路面である回路形成面11側を説明する平面図である。当該ICチップ1は上記回路形成面11に複数の、例えば4個の集積回路2, 2, 2, 2が形成されている。各集積回路2には配線21が設けられ、かつ又回路形成面11の所要位置には配線21に接続した半田バンプ22が突起状電極として形成されている。これら配線21のパターンや半田バンプ22の数は当該ICチップ1の機能に応じて定められる。

上記各集積回路2, 2, 2, 2相互間では、配線21等の電気的接続もない。よって集積回路2は夫々の機能に応じて独立した電気的働きを成す。その為配線21のパターンも夫々相違し、かつ又半田バンプ22の数及びその位置も相違する。しかしフレキシブル基板との電気的接続を得る為に、少なくとも一個以上の半田バンプが形成される。

これ等集積回路2, 2, 2, 2は夫々チップブロック2A, 2B, 2C, 2Dの領域内で各機能に応じて配置される。通常ICチップ1において、外部から

の応力はチップの中央部が最大となるので、集積回路2は中央部を除いて配置される。又上記のチップブロック2A,2B,2C,2Dは、夫々破碎溝12,13によって区分される。この破碎溝12,13はダイシングソーやレザーによって所定の幅及び深さで設けられる。又溝の位置としては各チップブロック2A,2B,2C,2Dを区分するうえで、最も応力分散効率の高い場所をシミュレーション手法等に基づいて設定する。

上記外力は常に一定方向から加えられるとは限らない（フレキシブル基板側からのみならず、ICチップの表面側からも加えられる）ので、破碎溝12に対応した回路形成面11の位置（両面対向位置）にも破碎溝14が設けられ、同様にして破碎溝13に対向した裏面11の位置にも破碎溝15が設けられる。

第3図は上記構成のICチップ1をフェイスダウンし、その半田バンプ22をボンディングパッド31上に搭載してフレキシブル基板3に接続させたものである。

斯かる状態の IC チップ 1 に対し、第 4 図に示す如く機械的、熱的外力 P がフレキシブル基板 3 側から加えられると、当該 IC チップ 1 では破碎溝 13 の部分が所謂断面欠損した状態となっている為、強度的には最脆弱箇所となる。よって外力 P は、この破碎溝 13 部分 1a に集中し、この破碎溝 13 部分 1a が破碎する。この破碎によって外力 P は吸収、分散される。その結果 IC チップ 1 の他の部分には外力 P が直接加えられない。この破碎溝 13 に沿って IC チップ 1 が各チップブロック 2A, 2B, 2C, 2D に細分断されても、上述した如く各チップブロック 每の集積回路 2, 2, 2, 2 は電気的に独立しており、しかもフレキシブル基板 3 に対して各集積回路の機能に応じた半田バンプ 22 が接続されている為、各集積回路の電気的機能は何ら支障がなく、IC チップ 1 全体として正常に作動しつつ続けることになる。

以上の様に本考案のフリップチップ実装における IC チップは、実装の高密度化に従い薄型化を要請される現況下において、電気的信頼性の高い

I C チップ構造となる。

〈考案の効果〉

上述した I C チップの構造においては、チップブロック毎の集積回路は電気的に独立である為、チップブロックが破碎溝によって破碎、分断されても、各集積回路はその電気的機能を損うことがない。

よって機械的、熱的外力によって変形を受けても、I C チップの各集積回路はその機能に応じた電気的働きを継続するものであり、フリップチップ実装における I C チップとしては極めて信頼性の高いものとなる。

4. 図面の簡単な説明

第 1 図は、本考案のフェイスダウンした I C チップを示す斜視図、

第 2 図は、同 I C チップの回路形成面側を示す平面図、

第 3 図は、本考案のフリップチップ実装状態を示す側面図、

第 4 図は、同外力による変形状態を示す側面



図、

第5図は、従来のICチップの実装状態を示す側面図、

第6図は、同外力による変形状態を示す側面図である。⁵

1…ICチップ， 11…回路形成面，

12,13,14,15…破碎溝，

2, 2, 2, 2…集積回路，

2A,2B,2C,2D…チップブロック， 21…配線，

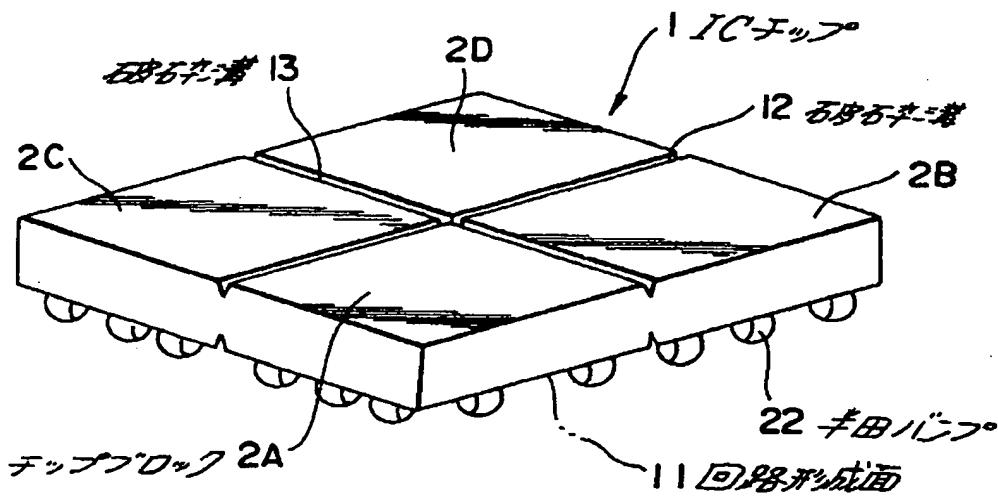
22…半田バンプ， 3…フレキシブル基板，¹⁰

31…ボンディングパッド。

实用新案登録出願人 沖電気工業株式会社
代理人 弁理士 船橋國則

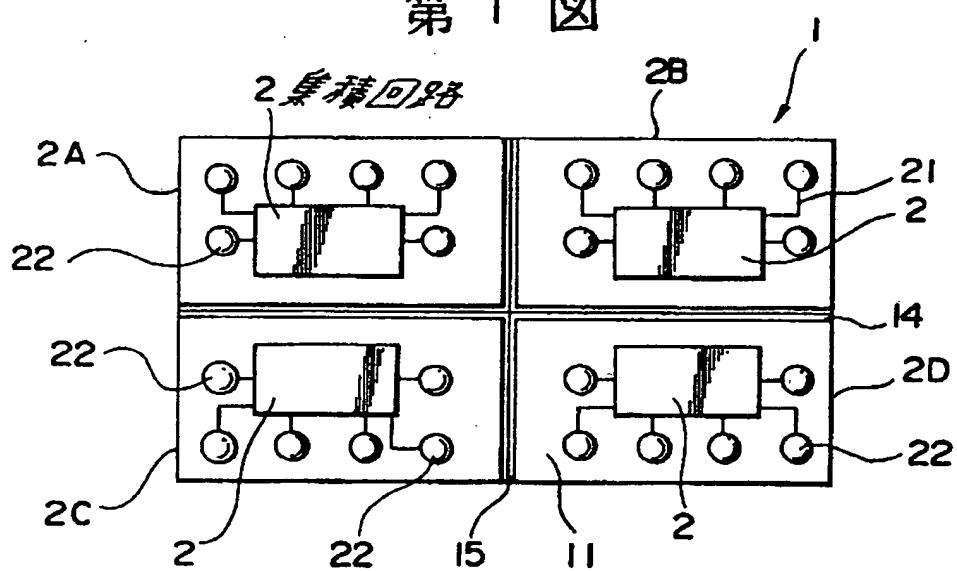
15

20



本考案のフェイスダクセルICチップの斜視図

第1図

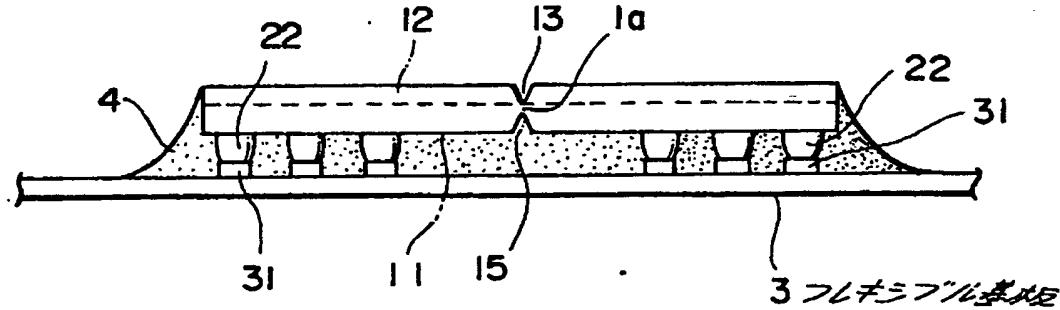


本考案のICチップの回路形成面側平面図

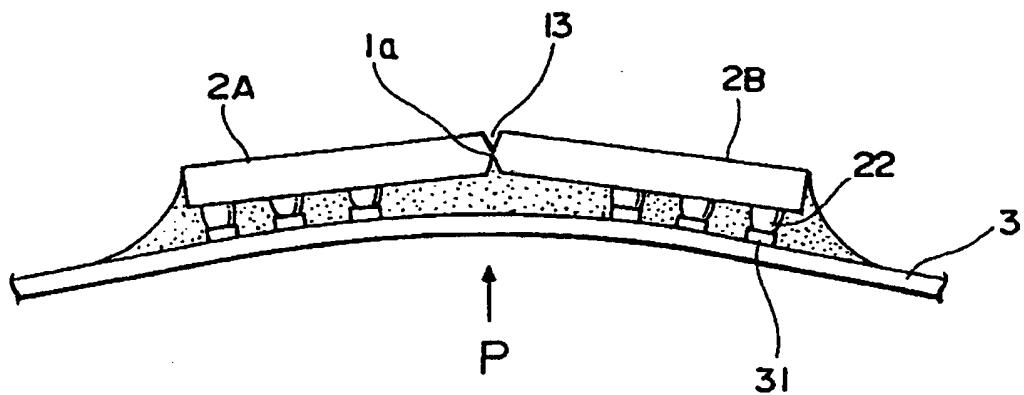
第2図

414
実開2- 29541

代理人弁理士 船 橋 國 則

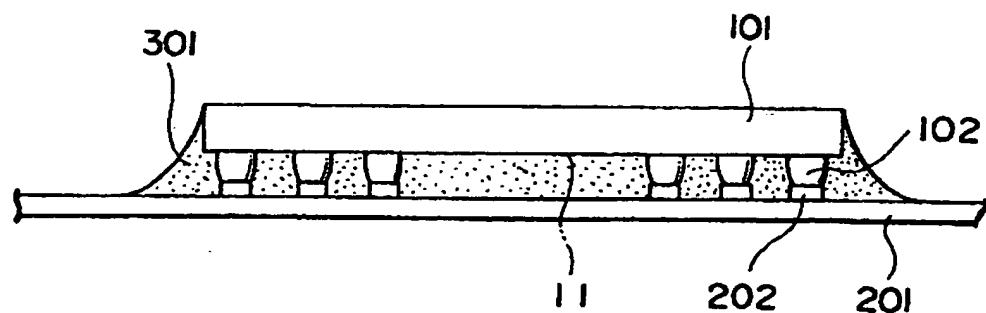


実用新案第3号側面図
第3図

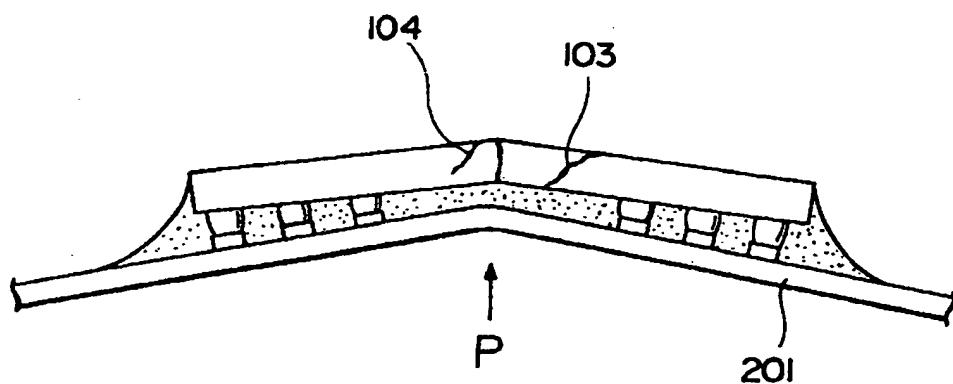


外力による変形形状の側面図
第4図

415
実開2-29541
代理人弁理士 船 橋 國 則



従来のICチップの実装状態を示す側面図
第5図



従来の実装状態を示す側面図

第6図

416

実開2-295

代理人弁理士 船 橋 國 則

THIS PAGE BLANK (USPTO)